

京都大学ICTイノベーション2013 学内パネル展示 出展概要

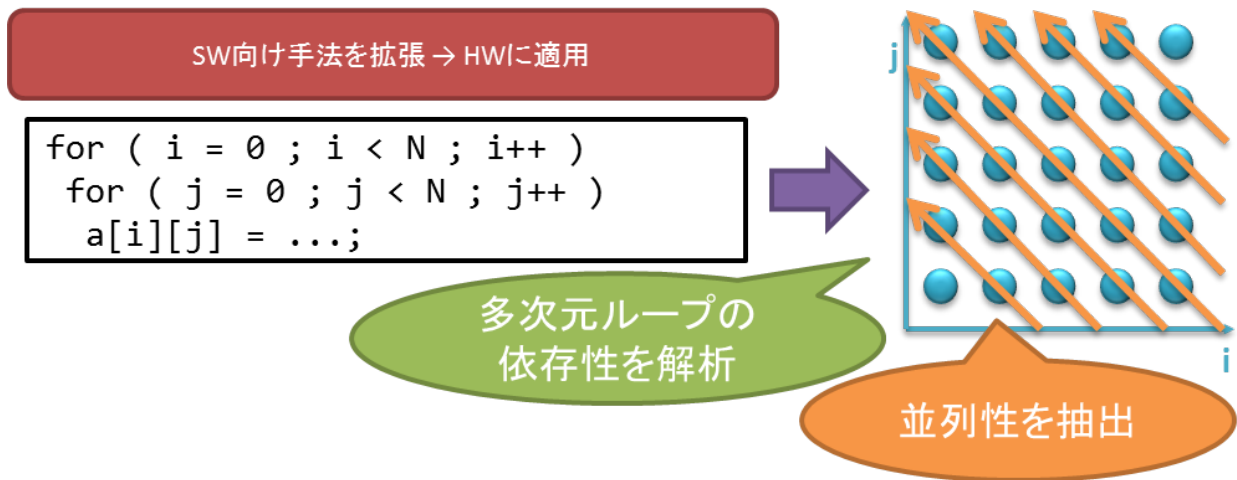
タイトル

高位合成における多面体モデルを用いた並列性の抽出

Extraction of parallelism using the polyhedral model in high-level synthesis

概要

高位合成とは、C言語などにより記述されたソースコードから、ハードウェア(論理回路)を合成する技術である。高位合成においては、並列実行可能な処理を如何にして抽出するかが課題となっている。本研究では、ソフトウェアの分野において注目されている多面体最適化法を、高位合成へ適用する手法を提案する。多次元ループを多面体として扱うことでデータの依存性を解析し、合成されるハードウェアの高い並列性を実現する。



URL

産業界への展開例・適用分野

FPGA/ASIC回路の開発において、ソフトウェア分野の知的財産や人材をより効率的に活用することが可能となる。回路の用途としては、画像処理、音声処理、暗号処理、通信処理、株式自動売買処理などを挙げることができる。これらの処理は高速に実行できることが要求されるため、ソフトウェアで実装するよりも、FPGA/ASIC回路を用いたハードウェアで実装する方が望ましい。

研究者

	氏名	専攻	研究室	役職・学年
展示担当者	須田 瑛大	通信情報システム	高木研	修士1回生
	高瀬 英希	通信情報システム	高木研	助教
	高木 一義	通信情報システム	高木研	准教授
	高木 直史	通信情報システム	高木研	教授